

Patent			
Patent No	341747	Publication Date	1998/10/1
Application No	85114231	Filing Date	1996/11/20
Title	Techniques of fabricating interconnection elements and tip structures for same using sacrificial substrates		
IPC	H05K1/11 & H01R4/00		
Author / Inventor			
IGOR Y KHANDROS (US) ;F BENJAMIN N ELDRIDGE (US) ;F GAETAN L MATHIEU (CA) ;F			
Applicant			
Name	Country	Individual/Company	
FORMFACTOR, INC.	US	Company	
Priority Data			
Country	Application No	Priority Date	
US	19960005189	1996/5/17	
Patent Abstract			
A method of fabricating an interconnection element having contact tips, which is characterized in: pre-fabricating a tip structure on a sacrificial substrate; loading the tip structure to the contact end of an interconnection element; and removing the sacrificial substrate.			

BACK

BEST AVAILABLE COPY

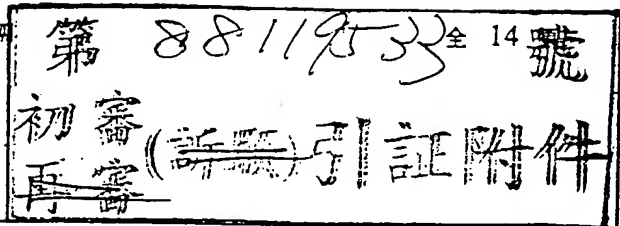
(11) 公告編號: 341747

(44) 中華民國87年(1998)10月01日

(51) Int. Cl. 6: H05K1/11

H01R4/00 ✓

發明



(54) 名稱: 利用犧牲性基板製造互連元件及尖端結構之技術

(21) 申請案號: 85114231

(22) 申請日期: 中華民國85年(1996)11月20日

(72) 發明人:

伊格爾依漢多斯
班傑明恩艾德瑞吉
嘉坦勒麥西奧

美國
美國
美國

(71) 申請人:

佛姆費克托公司

美國

(74) 代理人: 陳長文 先生

1

2

[57] 申請專利範圍:

1. 一種製造互連元件之方法, 該互連元件具有接點末端, 此方法之特徵在於: 於犧牲性基板上預先製造尖端結構; 使尖端結構裝載至互連元件之接點末端; 及
移除犧牲性基板。
2. 根據申請專利範圍第1項之方法, 其特徵在於:
互連元件為細長的。
3. 根據申請專利範圍第1項之方法, 其特徵在於:
互連元件為複合互連元件。
4. 根據申請專利範圍第1項之方法, 其特徵在於:
互連元件為單塊互連元件。
5. 根據申請專利範圍第1項之方法, 其特徵在於:
互連元件為薄膜探測物之接點硬塊。
6. 根據申請專利範圍第1項之方法, 其特徵在於:

尖端結構具有表面組織。

7. 根據申請專利範圍第1項之方法, 其特徵在於:
尖端結構係被硬焊或軟焊至互連元件。
5. 8. 根據申請專利範圍第1項之方法, 其特徵在於:
多個尖端結構係以石印方式被界定在犧牲性基板上。
9. 根據申請專利範圍第1項之方法, 其特徵在於:
10. 根據申請專利範圍第1項之方法, 其特徵在於:
尖端結構為懸臂桿。
10. 根據申請專利範圍第9項之方法, 其特徵在於:
尖端結構係藉由在犧牲性基板上提供遮蔽層, 在遮蔽層中形成間隙, 及在間隙中沈積彈簧材料而形成。
15. 11. 根據申請專利範圍第9項之方法, 其特徵在於:
尖端結構係從一端至其相反端呈推拔狀。
- 20.

12. 根據申請專利範圍第1項之方法，其特徵在於：
互連元件係留置在電子組件中。
13. 根據申請專利範圍第1項之方法，其特徵在於：
互連元件係於尖端結構留置在犧牲性基板上時，在尖端結構上製成，
14. 一種使兩個電子組件互連之方法，其特徵在於：
預先製造尖端結構於犧牲性基板上；
使尖端結構裝載至互連元件之接點末端，該互連元件係自該兩個電子組件之一之表面延伸；
移除犧牲性基板；及
促使其中一個電子組件之尖端結構，對著該兩個電子組件中另一個之相應末端。
15. 根據申請專利範圍第14項之方法，其特徵在於：
其中一個電子組件為半導體裝置。
16. 根據申請專利範圍第14項之方法，其特徵在於：
其中一個電子組件為互連基板如印刷電路板。
17. 一種製造細長互連元件以供隨後連附至電子組件之方法，其包括：
在多個選定區域處，將多個細長互連元件裝載在犧牲性基板之表面上；及
移除犧牲性基板。
18. 根據申請專利範圍第17項之方法，其進一步包括：
在移除犧牲性基板之前，使細長互連元件之自由端連附至電子組件。
19. 根據申請專利範圍第17項之方法，其進一步包括：
在裝載細長互連元件之前，在選定區域處製造尖端結構。
20. 根據申請專利範圍第17項之方法，其中：
細長互連元件為複合互連元件。

21. 根據申請專利範圍第17項之方法，其中：
細長互連元件為單塊互連元件。
 22. 一種製造多個細長互連元件之方法，其包括：
預先製造多個細長互連元件，各該細長互連元件具有一個尖端；
於犧牲性基板上預先製造多個尖端結構；
使尖端結構接合至細長互連元件之尖端；及
移除犧牲性基板。
 23. 根據申請專利範圍第22項之方法，其中：
犧牲性基板包括金屬薄片。
 24. 根據申請專利範圍第22項之方法，其中：
犧牲性基板包括矽晶片。
 25. 根據申請專利範圍第22項之方法，其中：
細長互連元件為複合互連元件。
 26. 根據申請專利範圍第22項之方法，其中：
細長互連元件為單塊互連元件。
 27. 一種製造回彈性互連元件之方法，其包括：
使細長元件裝載至犧牲性基板；
使細長元件成形以具有彈簧形狀；及
移除犧牲性基板。
 28. 根據申請專利範圍第27項之方法，其進一步包括：
外塗覆該細長元件。
- 圖式簡單說明：
- 第一圖A為根據本發明一項具體實施例之細長互連元件，包含一端之縱向部份之橫截面圖。
- 第一圖B為根據本發明另一項具體實施例之細長互連元件，包含一端之縱向部份之橫截面圖。
- 第一圖C為根據本發明另一項具體實施

施例之細長互連元件，包含一端之縱向部份之橫截面圖。

第一圖D為根據本發明另一項具體實施例之細長互連元件，包含一端之縱向部份之橫截面圖。

第一圖E為根據本發明另一項具體實施例之細長互連元件，包含一端之縱向部份之橫截面圖。

第二圖A為根據本發明經裝載至電子組件末端並具有多層殼之細長互連元件之橫截面圖。

第二圖B為根據本發明具有多層殼之細長互連元件之橫截面圖，其中中間層為介電材料。

第二圖C為根據本發明之多個經裝載至電子組件之細長互連元件之透視圖。

第三圖A為根據本發明經配置在回路中之導線之側視圖，其中導線之一端係黏結至電子組件末端，且該導線之另一端係黏結至犧牲性層。

第三圖B為根據本發明之第三圖A經形成回路之導線於外塗覆後之側視圖。

第三圖C為根據本發明之第三圖B經形成回路、經外塗覆之導線於犧牲性元件已被移除後之側視圖。

第三圖D為第三圖A經形成回路之導線，於犧牲性元件已被移除後，但在導線被外塗覆前之側視圖，其係為根據本發明之一項替代具體實施例。

第四圖A為根據本發明細長元件之側視圖，其係延伸於電子組件末端與犧牲性基板之間，其中具有表面組織之尖端結構已預先被製成。

第四圖B為根據本發明細長元件之側視圖，其係延伸於電子組件末端與犧牲性基板之間，其中具有表面組織之尖端結構已預先被製成。

第四圖C為根據本發明供回彈性接點結構用之多層尖端結構(接點墊片)之側視圖。

第五圖A為根據本發明在犧牲性基板上製造尖端結構之技術之舉例第一個步驟之橫截面圖，該尖端結構具有供互連元件用之表面組織。

5. 第五圖B為根據本發明第五圖A之技術，在尖端結構上製造互連元件之舉例的下一個步驟之橫截面圖。

10. 第五圖C為根據本發明第五圖B之技術，製造細長互連元件之舉例的下一個步驟之橫截面圖，該元件係為複合互連元件。

第五圖D為根據本發明第五圖A-第五圖C之技術所製成之多個各別互連元件實例之橫截面圖。

15. 第五圖E為根據本發明第五圖A-第五圖C之技術所製成之多個互連元件，且伴隨著所規定之彼此間空間關係之實例之橫截面圖。

20. 第五圖F為根據本發明將已在犧牲性基板上製成之多個細長互連元件一同裝載至電子組件之技術之橫截面圖。

第五圖G-第五圖I為根據本發明形成插入物技術之橫截面圖。

25. 第六圖A為根據本發明製造互連元件用之尖端結構技術之橫截面圖。

第六圖B為在根據本發明之第六圖A技術中之其他步驟之橫截面圖。

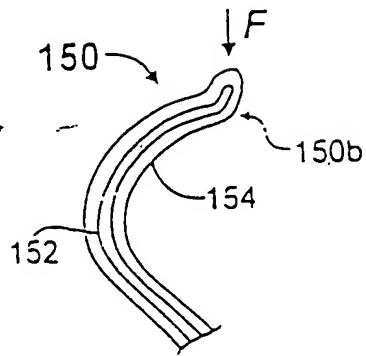
30. 第六圖C為根據本發明之側視圖，其中部份呈橫截面，而部份呈完整之電子組件，互連元件已被裝載於其上，正等待在其上固著尖端結構。

第六圖D為根據本發明之側視圖，其中部份呈橫截面而部份呈完整之第六圖C電子組件，係與第六圖b之尖端結構接合。

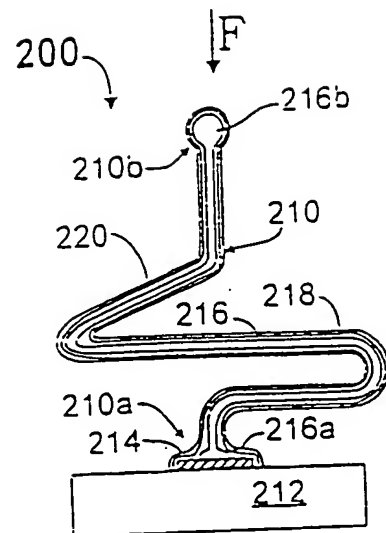
35. 第六圖E為根據本發明之側視圖，其中顯示部份呈橫截面而部份呈完整之第六圖C電子組件與第六圖B尖端結構接合之另一個步驟。

40. 第七圖A-第七圖C為根據本發明之一

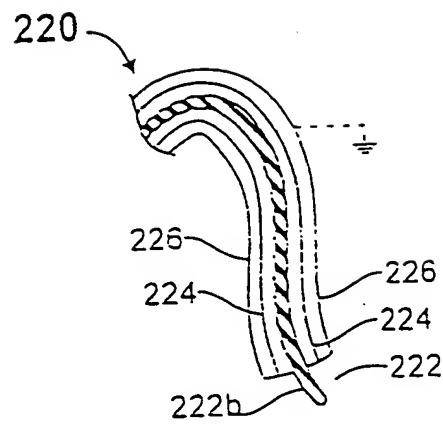
(5)



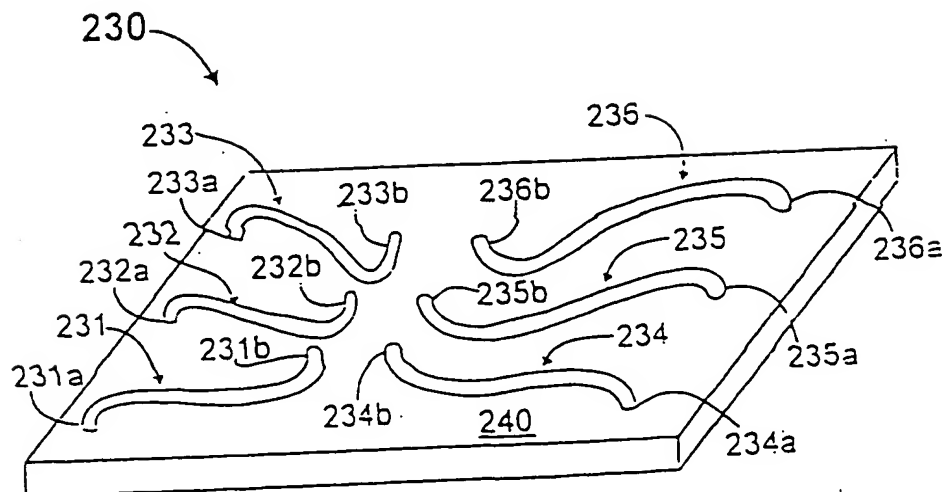
第一圖 E



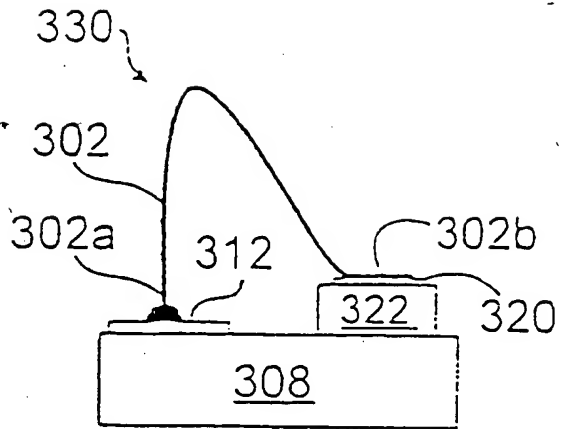
第二圖 A



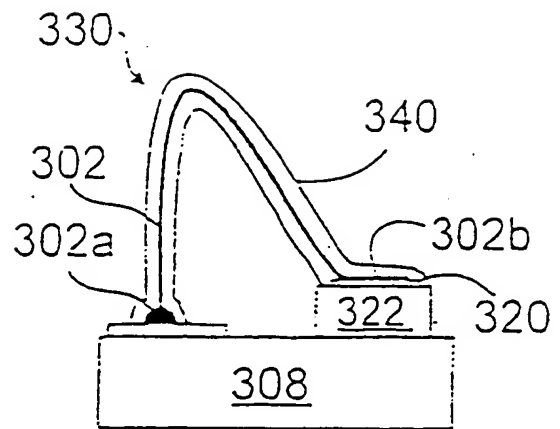
第二圖 B



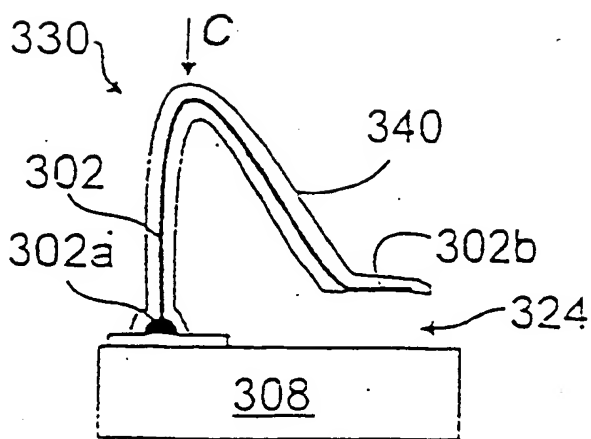
第二圖 C



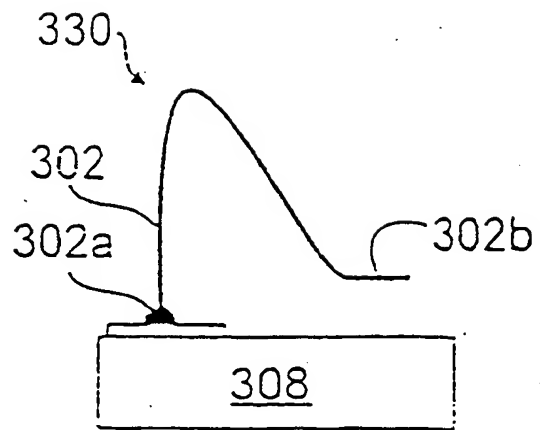
第三圖 A



第三圖 B



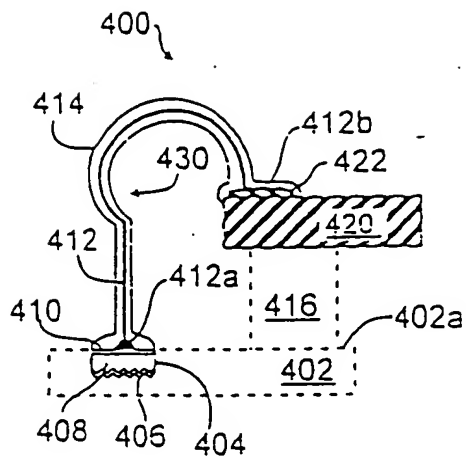
第三圖 C



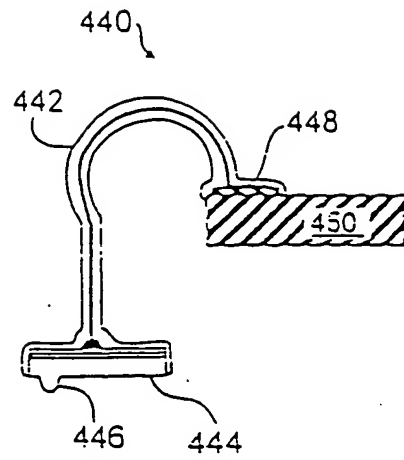
第三圖 D

1148

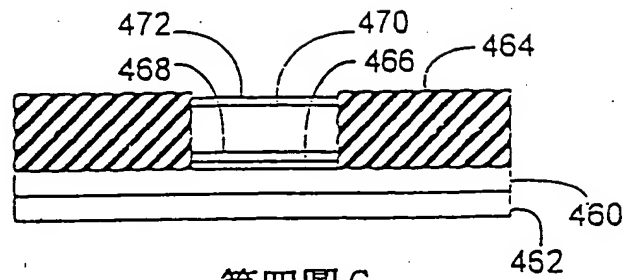
(7)



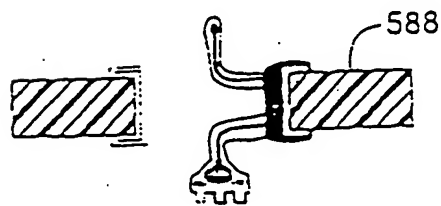
第四圖 A



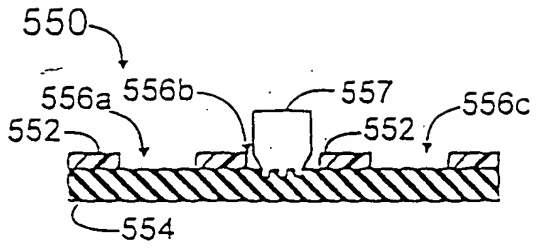
第四圖 B



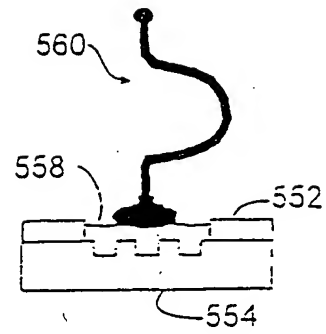
第四圖 C



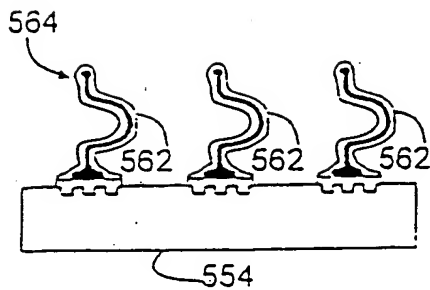
第五圖 I



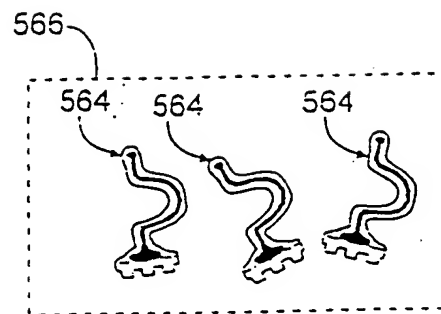
第五圖 A



第五圖 B

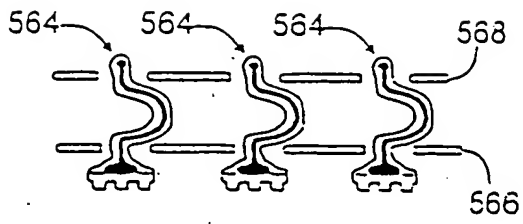


第五圖 C

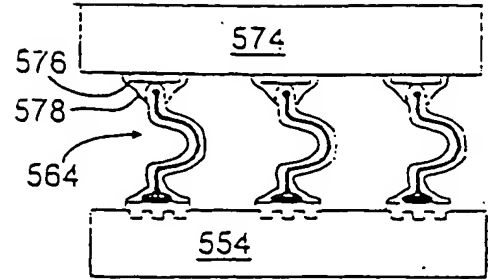


第五圖 D

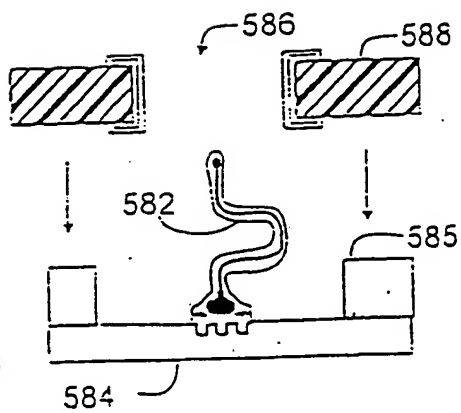
1150



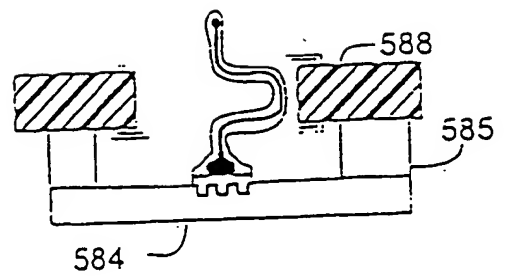
第五圖 E



第五圖 F

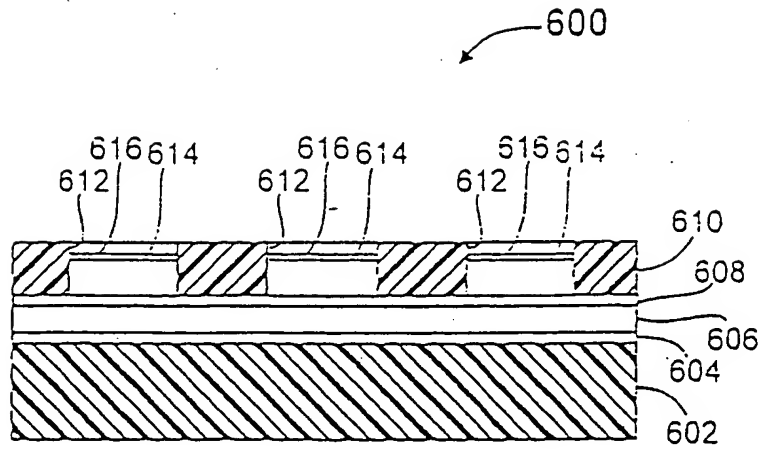


第五圖 G

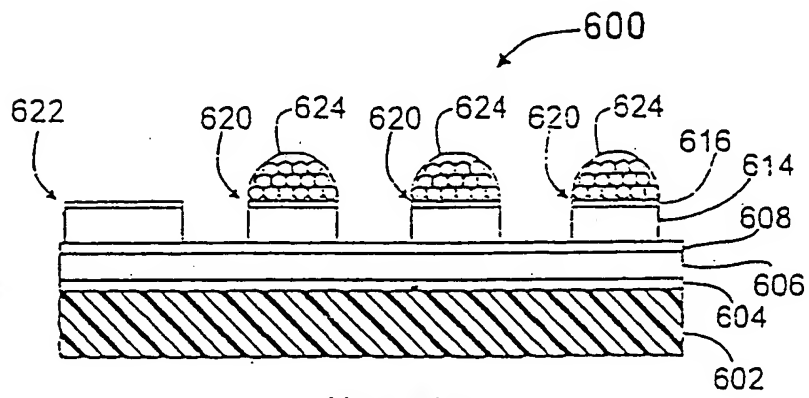


第五圖 H

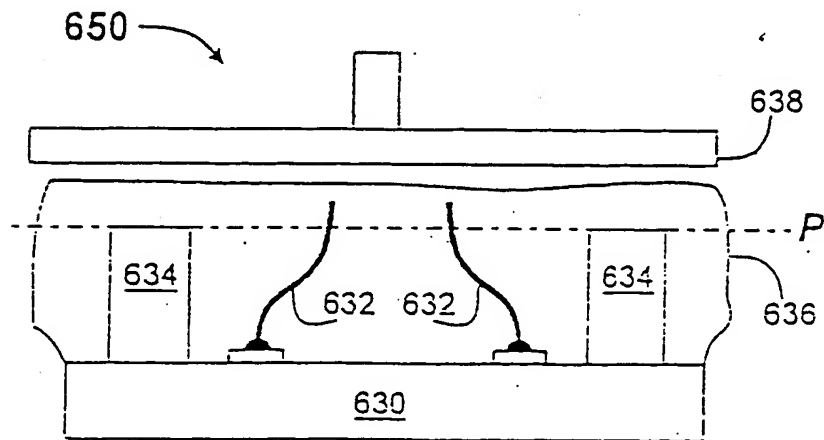
1151



第六圖 A

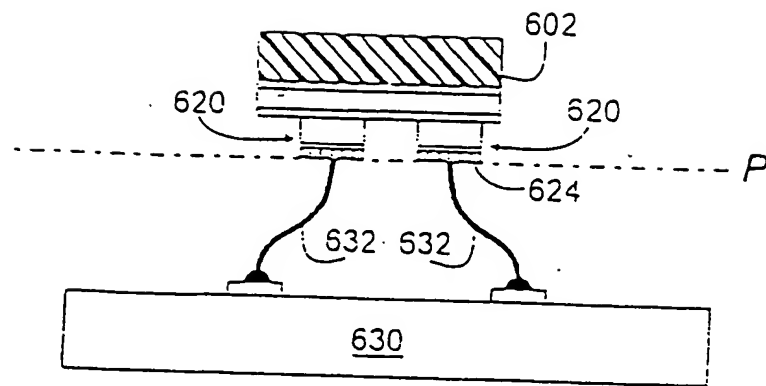


第六圖 B

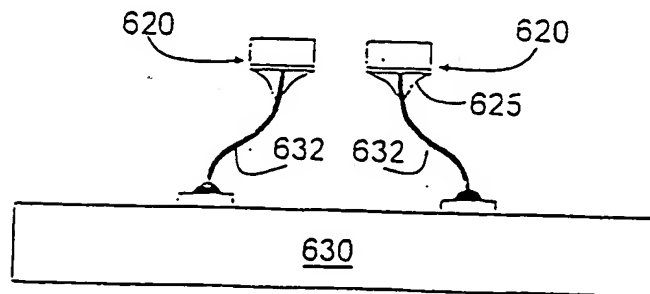


第六圖 C

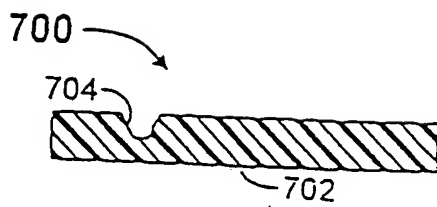
(11)



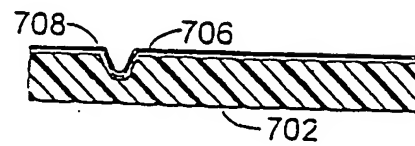
第六圖 D



第六圖 E

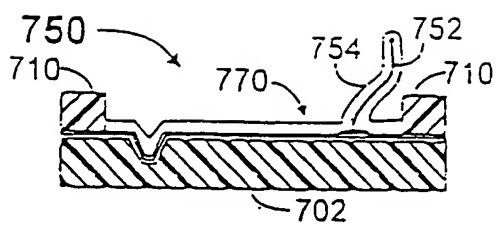


第七圖 A

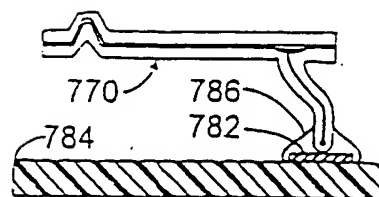


第七圖 B

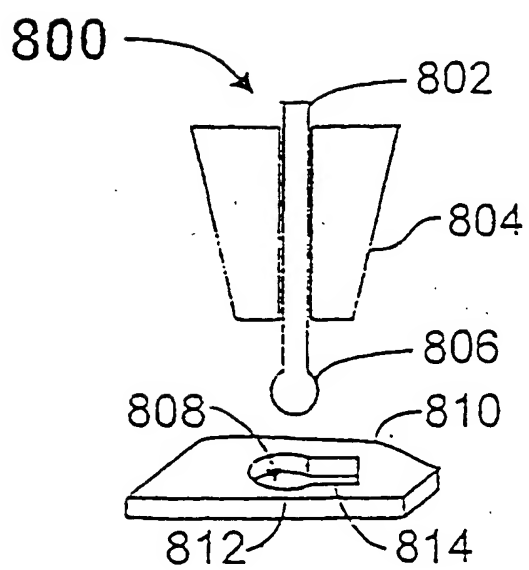
1153



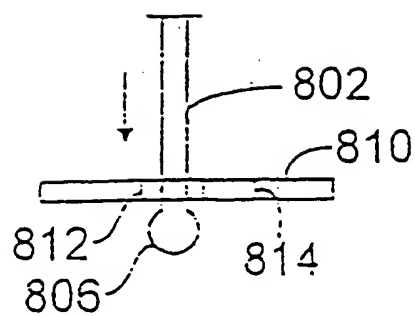
第七圖 G



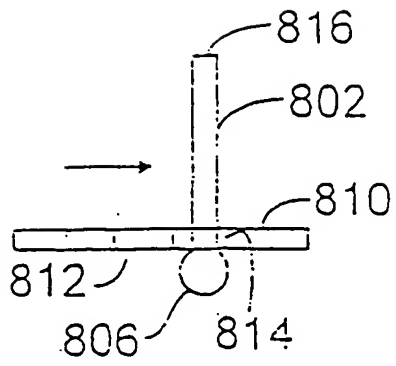
第七圖 H



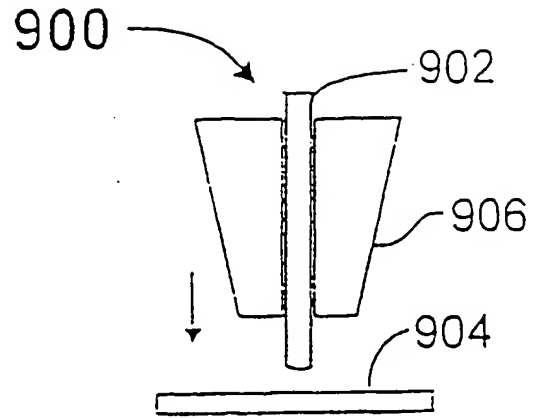
第八圖 A



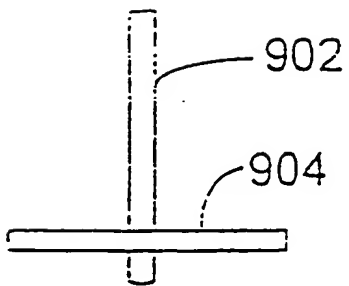
第八圖 B



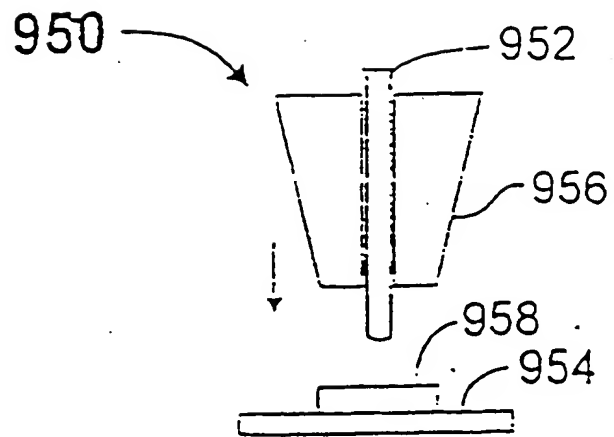
第八圖 C



第九圖 A



第九圖 B



第九圖 C

1156

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)